

F-00E00070

P-763

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-245224

(43)Date of publication of application : 05.12.1985

(51)Int.Cl.

H01L 21/30
G03F 9/00

(21)Application number : 59-100585

(71)Applicant : OKI ELECTRIC IND CO LTD

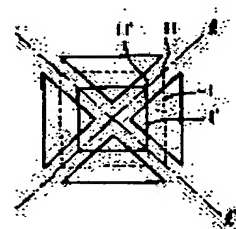
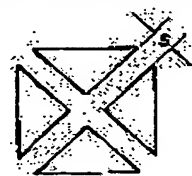
(22)Date of filing : 21.05.1984

(72)Inventor : UMEMURA YOSHIO

(54) MASK ALIGNMENT FOR MANUFACTURING SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To make it possible to maintain the original quantity of accuracy even after the process change, by employing for a pattern to be mask-aligned constituted by a polygonal diagram, another diagram which has sides being parallel to straight lines which intersect at a half angle of the apex angle to the apexes.

CONSTITUTION: The apex 11 of a pattern to be mask-aligned on a photo mask is altered into the apex 11' owing to a process change difference after the pattern is transcribed and formed on a semiconductor substrate, but the apex 11' is still on the line. Since a case not being properly aligned can be detected by a fact that four, three or two of the apexes being included in the pattern to be mask-aligned are not positioned on the line l or l', setting the accuracy of the mask alignment pattern of the photo mask at an appropriate value such as $2\mu\text{m}$ or $1\mu\text{m}$ can attain any alignment precision. In this way, where the pattern to be mask-aligned is transcribed on the semiconductor substrate, it is not affected by the diagram modification which may be produced owing to the process change difference, and thus the quantity of accuracy can be kept at a constant value.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑫ 特 許 公 報 (B 2)

平5-44815

⑪ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公告 平成5年(1993)7月7日

H 01 L 21/027
G 03 F 9/00

H

7818-2H
7352-4M

H 01 L 21/30

3 0 1 M

発明の数 1 (全4頁)

⑬ 発明の名称 半導体装置製造用マスク合せ方法

⑮ 特 願 昭59-100585

⑯ 公 開 昭60-245224

⑰ 出 願 昭59(1984)5月21日

⑱ 昭60(1985)12月5日

⑲ 発 明 者 梅 村 佳 男 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ㉑ 代 理 人 弁理士 鈴木 敏明 外1名
 ㉒ 審 査 官 中 西 一 友
 ㉓ 参 考 文 献 特開 昭49-11578 (J P, A) 特開 昭55-55340 (J P, A)
 特開 昭56-169329 (J P, A)

1

2

㉔ 特許請求の範囲

1 半導体集積回路装置を半導体基板上に作製する際、複数のマスク合わせパターン相互の位置合わせに用いられる半導体装置製造用マスク合わせ方法において、挟角を有する被マスク合わせパターンを備えた第1のホトマスクと、第1の辺を有する第1のマスク合わせパターンと、この第1の辺に対向し、かつ平行に離間する第2の辺を有する第2のマスク合わせパターンとを備えた第2のホトマスクとを用いて、前記被マスク合わせパターンに含まれる頂点に対してその挟角の半分の角度で交わる直線と、前記第1及び第2の辺とが平行になるように、かつ前記第1及び第2の辺が前記頂点を挟むように合わせ、前記頂点と前記第1及び第2の辺との位置関係で合わせずれを検出することを特徴とする半導体装置製造用マスク合わせ方法。

発明の詳細な説明

(技術分野)

この発明は、プロセス変更後も初期の追い込み量を維持してマスク合せができるようにした半導体装置製造用マスク合せ方法に関する。

(従来技術)

半導体集積回路装置は周知のごとく、拡散、蒸着工程とホトリソ工程を複数回半導体基板上に繰り返すことにより作製される。

このとき、半導体集積回路装置を構成する個別の半導体素子を半導体基板上に形成するために複数回のホトリソ工程についてマスク・パターンを精度よく重ね合わせる必要がある。

5 このために、ホトリソ工程において用いるホトマスクには、前記の半導体集積回路装置を構成する半導体素子パタンの他に通常、マスク合わせマークが形成されており、このときまでに既に終了している、拡散蒸着工程およびホトリソ工程で半導体基板上に転写形成済みの同様な合わせマークと位置合わせを行なう目的で、これを用いるようになっている。

10 このとき用いる合わせマークは普通、四角形や(+)字形またはそれらの組み合わせよりなる比較的単純な図形(パターン)が多く、通常は直前の工程によつて形成されたマスク合わせパターン(被合わせパターン)の一部もしくは全部をある一定量(追い込み量)小さく、あるいは大きく変化させた相似の図形を適用する(追い込み型マスク合わせパターン)。

この追い込み型マスク合わせパターンはその追い込み量によつて合わせ精度が決まり、追い込み量が小さい程、高精度のマスク合わせが可能となる。

25 また、近年のホトリソ技術の進歩に伴ない、2 μ mないし1 μ mとより小さい追い込み量で高精度

3

4

のパターン合わせが要求されてきている。

一方、この追い込み形マスク合わせパターンを用いるとき、半導体基板上に形成された被合わせパターンとそれを形成するときに使用したホトマスク上の合わせパターンの大きさは、ホトリソ工程条件や半導体基板表面の状態によって異なつたものとなることが普通である。

たとえば、半導体基板表面を覆う酸化膜に合わせパターン形状のエッチングを行なうときには、その酸化膜厚によってサイドエッチ量が異なるため、厚い酸化膜の場合の方が薄い酸化膜の場合より、半導体基板上に転写された被合わせパターンは大きくなってしまふ（プロセス変換差）。

したがって、この追い込み形マスク合わせパターンを設計してホトマスクを作製する際には目的とする追い込み量を得るために前に述べたプロセス交換差を考慮した大きさに予じめ補正しておく必要がある。

また、プロセス交換差の量はホトリソ工程条件や半導体基板表面の状態によって決定されるものであるから、これらホトリソ工程条件や半導体基板表面の状態がプロセス変更によって変わると、プロセス交換差の量も変わるので目的とする追い込み量を維持するためにはマスクを新たに作り直す必要が生じる。

（発明の目的）

この発明の目的はプロセス交換差の考慮を不要とし、プロセス変更後も初期の追い込み量を維持することが可能なマスク合わせパターンが得られる半導体装置製造用マスク合せ方法を得ることにある。

（発明の概要）

この発明の要点はプロセス交換差に応じたマスク合わせマークの形状の変化が相似的に生じ、狭角を有するマスク合わせパターンの頂点は一定の直線上を常に移動することに着目し、その直線に対し一部もしくは全部が平行な図形を目的とする追い込み量離して作成しマスク合わせパターンとすることにある。

（実施例）

以下、この発明の半導体装置用マスク合せ方法の実施例について図面に基づき説明する。第1図aはその一実施例に適用される被マスク合せパターンの平面図であり、第1図bはマスク合せパ

ターの平面図で、ともに別のホトマスク上に形成された合せマークを示す。

第1図aに示す被マスク合せパターンに対し、被合せパターンは第1図bに示すマスク合せパターンを合わせる目的で用いる。第1図aにおいて、1は被マスク合せパターン図形の辺、11は被マスク合わせパターン図形の頂点をそれぞれ示す。

また、第1図bに示す幅Sは前述の追い込み形マスク合わせパターンの追い込み量に相当する量で、この実施例においても以降同様に追い込み量Sと表現する。

以下、第2図を用いてこの発明の実施例の働きをさらに詳しく順を追って説明する。最初に第1図aを示す被マスク合わせパターンを含むホトマスクを用いて、半導体基板上に批マスク合てめパターンの転写および形成を行なう。

このとき、前述のプロセス交換差が発生するため、半導体基板上に転写、形成される実際の被マスク合わせパターンは第2図の1'および11'に示すようにホトマスク上のパターン（第2図の1および11に比較を容易にするため点線示す。）と異なつた大きさの図形となる。

プロセス交換差が原因の図形の変形は第2図よりも明らかなように、相似的に発生するため、狭角を有する被マスク合わせパターンが多角形より構成されている場合、その多角形が有する頂点はその頂角（狭角）の半分の角度で頂点と交わる直線上を移動する。この特徴はプロセス交換差の量に無関係に保持される。

この実施例の場合、第2図においてホトマスク上の被マスク合わせパターンの頂点11がプロセス交換差のために半導体基板上に転写、形成された後、頂点11'に変わるが頂点11'は直線1上にあることで示される。

次に、半導体基板上に転写、形成された被マスク合わせパターン（第2図の1'および11'を含む正方形）に対し、第1図bに示すマスク合わせパターンを含むホトマスクを用いて両者の位置合わせを行なう。

第2図は正しく位置合わせが行なわれた場合を示し、半導体基板上に転写形成された被マスク合わせパターンの各頂点（第2図の場合11'を含む四つの頂点）がホトマスク上のマスク合わせパ

5

ターンの平行な2辺の中心線である1および1'上に位置している。

正しく位置合わせが行なわれなかつた場合は半導体基板上に転写形成された被マスク合わせパターンに含まれる各頂点の内4箇所、3箇所もしくは2箇所が正しく、1または1'上に位置しないことで検出されることは第2図より明らかである。

なお、このときホトマスク上のマスク合わせパターンの追い込み量S(第1図bに示す)を $2\mu m$ ないし $1\mu m$ と適当な値に設定することにより、10 任意の合わせ精度を得ることができる。

さらに、この実施例のマスク合わせパターンの合わせ精度は被マスク合わせパターンの頂点がプロセス変換差によつて移動する直線に対して設定されているので、原理的に被マスク合わせパターンの半導体基板上への転写形成時にプロセス変換差によつて発生する図形の変形の影響を受けず、常に一定に保たれる。

したがつて、ホトマスク作製後にプロセスを変更する必要が生じ、プロセス変換差が変化しても20 プロセス変更前と同じ合わせ精度が得られ、マスク合わせパターンを作り直す必要がない。

(発明の効果)

この発明は以上説明したように、プロセス変換差によつて影響されずに一定の追い込み量、すなわち合わせ精度を保つマスク合わせパターンを得るようにしたので、以下に列举する利点がある。

- (1) プロセス変更を行つても合わせ精度が変わらないので同じ合わせ精度でマスク合わせが可能

6

である。したがつて、プロセス変更時に同じ合わせ精度を得るため、ホトマスクを作り直す必要がないという利点がある。

- (2) 被マスク合わせパターンを半導体基板上に転写形成するホトリソ工程において予期しない工程のゆらぎ、たとえばホトレジストパターン寸法の変化やエッチング液によるエッチング速度の変化が生じプロセス変換差の量が変わつても、後のホトリソ工程のマスク合わせ時に合わせ精度が変化するというような悪い影響を及ぼさないという利点がある。

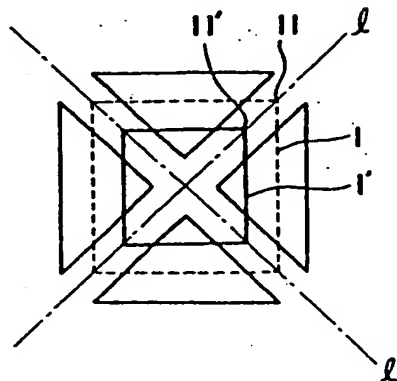
- (3) 半導体集積回路装置を半導体基板上に作製する際に用いる複数のホトマスクすべての合わせパターンの追い込み量を一定の値にするために従来の追い込み型マスク合わせパターンで必要であつた各工程個別のプロセス変換差による追い込み量の補正を個別の各マスクについて行う必要がないという利点がある。

図面の簡単な説明

第1図aはこの発明の半導体装置製造用マスク合せ方法に適用される被マスク合わせパターンの平面図、第1図bは同上半導体装置製造用マスク合せ方法に適用されるマスク合せパターンを示す平面図、第2図はこの発明の半導体装置製造用マスク合せ方法の実施例の作用を説明するための図である。

1, 1'.....被マスク合せパターンの図形の辺、
11, 11'.....被マスク合せパターンの図形の頂点。

第2図



第 1 図

